

宽带低插损限幅电路拓扑结构与性能优化

孙永茂

中国电子科技集团公司第十三研究所, 河北 石家庄 050051

DOI:10.61369/ERA.2026080041

摘 要 : 宽带射频接收前端在强干扰环境下既要维持微弱信号的有效传输, 又要防止大功率输入对后级敏感器件造成冲击。限幅电路作为接收链路前端的保护单元, 其拓扑结构直接关系到插入损耗、端口匹配、限幅电平和耐功率能力之间的平衡。文章围绕宽带低插损限幅电路的结构设计与性能优化展开分析, 首先梳理宽频段传输、器件配置和端口匹配带来的设计约束, 继而从低损耗主通道、并联式限幅支路和多级限幅单元协同等方面提出拓扑设计思路, 并进一步讨论插入损耗、回波损耗及版图寄生参数的优化方法。相关分析可为宽带射频接收前端限幅保护电路的小型化、高可靠设计提供参考。

关 键 词 : 宽带限幅电路; 低插入损耗; 拓扑结构

Topology Design and Performance Optimization of Broadband Low Insertion Loss Limiting Circuit

Sun Yongmao

China Electronics Technology Group Corporation 13th Research Institute, Shijiazhuang, Hebei 050051

Abstract : The broadband RF receiver front-end needs to maintain effective transmission of weak signals in strong interference environments, while also preventing high-power inputs from causing impact on downstream sensitive devices. As a protection unit at the front end of the receiving link, the topology of the limiting circuit is directly related to the balance between insertion loss, port matching, limiting level, and power endurance. The article analyzes the structural design and performance optimization of broadband low insertion loss limiting circuits. Firstly, the design constraints brought by broadband transmission, device configuration, and port matching are sorted out. Then, topology design ideas are proposed from the aspects of low loss main channel, parallel limiting branch, and multi-level limiting unit coordination. Furthermore, optimization methods for insertion loss, return loss, and layout parasitic parameters are discussed. The relevant analysis can provide reference for the miniaturization and high reliability design of the amplitude limiting protection circuit in broadband RF receiving front-end.

Keywords : broadband limiting circuit; low insertion loss; topological structure

引言

随着射频系统向宽带化、高集成度和复杂电磁适应方向发展, 接收前端所面对的信号环境更加多变。一方面, 系统需要尽可能降低前端损耗, 以保证弱信号接收灵敏度; 另一方面, 突发强信号、连续波干扰或高功率泄漏又要求前端具备可靠的功率防护能力。限幅电路正处于这两类需求的交汇位置, 其设计难点在于多项性能之间的协同取舍。传统设计中, 增加限幅器件数量虽可提高耐功率能力, 却可能引入额外结电容和寄生损耗, 导致高频端传输性能恶化。因此, 有必要从拓扑结构层面重新审视宽带低插损限幅电路的设计逻辑, 明确主传输路径、限幅支路、匹配网络和版图寄生之间的耦合关系。

一、宽带低插损限幅电路的设计约束

(一) 宽频段传输对插入损耗的约束

宽带限幅电路首先需要满足小信号状态下的低损耗传输要求。限幅电路通常位于接收前端较靠前的位置, 其插入损耗会直

接叠加到系统前端损耗中, 并对后级噪声性能产生影响。尤其在宽频段工作条件下, 电路的插入损耗不再只由限幅器件导通电阻决定, 主传输线损耗、节点阻抗不连续、焊盘寄生电容、金属互连损耗以及限幅支路等效阻抗均会共同作用于正向传输系数。插入损耗可表示为:

作者简介: 孙永茂 (1989-), 男, 汉族, 河北石家庄人, 工程师, 主要研究方向: 微波射频电路。

$$IL = -20 \log_{10} |S_{21}|$$

式中, IL 为插入损耗, S_{21} 为正向传输系数。该指标反映输入端信号传输至输出端过程中的能量衰减程度。对于宽带限幅电路而言, 低频端往往更容易实现较低损耗, 而高频端更易受寄生参数和传输线效应影响。因此, 宽频传输下的低插损设计本质上是对主传输通道连续性和限幅支路弱扰动特性的共同约束。

(二) 限幅能力对器件配置的约束

限幅电路需要在强输入信号条件下快速进入保护状态, 使过大输入功率被限幅支路吸收或泄放, 从而降低后续电路承受的功率水平。限幅能力与限幅器件尺寸、级数、结面积及热承受能力密切相关。一般而言, 器件尺寸增大或限幅单元数量增加, 有利于提升耐功率能力和强信号泄放能力, 但同时会带来更大的结电容和更明显的寄生效应, 进而影响小信号状态下的插入损耗和高频匹配。

这种约束关系决定了宽带低插损限幅电路不能简单采用“增加器件数量”的方式提高保护能力。若器件配置偏重强信号防护, 可能导致正常接收状态下损耗升高; 若过度压缩器件尺寸, 则可能在大功率输入时出现限幅深度不足、热集中或可靠性下降。限幅器件配置需要在低损耗传输与功率防护之间建立合理边界, 使限幅单元既能在小信号状态下尽量降低对主通道的影响, 又能在强信号状态下形成有效泄放路径^[1]。

(三) 宽带匹配对端口特性的约束

端口匹配是宽带限幅电路能否稳定接入接收系统的重要条件。限幅电路通常要求输入端和输出端接近标准阻抗环境, 以降低信号反射和级间失配。回波损耗可表示为:

$$RL = -20 \log_{10} |\Gamma|$$

其中,

$$\Gamma = \frac{Z_{in} - Z_0}{Z_{in} + Z_0}$$

式中, RL 为回波损耗, Γ 为反射系数, Z_{in} 为输入阻抗, Z_0 为系统特性阻抗。由公式可知, 当端口阻抗偏离标准阻抗时, 反射系数增大, 回波损耗变差。宽带限幅电路的难点在于, 其端口阻抗会随频率和工作状态发生变化。小信号状态下, 限幅器件呈现较高阻抗, 但其结电容仍会参与高频传输; 大信号状态下, 器件导通后电路等效阻抗发生改变, 可能影响输入输出端口的反射特性。因此, 端口匹配不能作为后置补偿环节处理, 而应成为限幅电路拓扑设计的基本约束^[2]。

二、限幅电路拓扑结构设计

(一) 低损耗主通道结构设计

主通道设计需尽量保持阻抗连续, 避免引入不必要的串联损耗单元。传输线宽度、走线长度、转角形式、焊盘过渡和输出端连接方式均会影响宽频带内的插入损耗。若限幅器件直接串接在主传输路径中, 其等效电阻和寄生参数会直接参与信号传输, 容

易造成全频段损耗增加, 不利于低插损目标实现。

因此, 较为合理的拓扑思路是保持主传输通道的连续性, 将限幅单元以支路方式介入主通道。在小信号状态下, 支路呈现较高阻抗, 对主通道仅形成有限扰动; 在强信号输入时, 限幅支路进入导通状态, 提供能量泄放路径。该结构能够降低限幅功能对正常传输状态的影响。宽带低插损限幅电路的基本拓扑关系见图1。

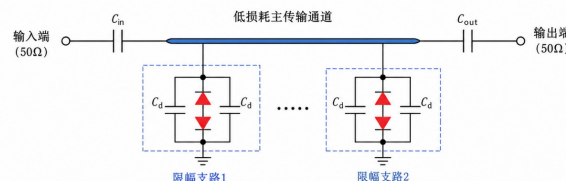


图1 宽带低插损限幅电路拓扑结构示意图

(二) 并联式限幅支路配置设计

并联式限幅支路是实现低插损与功率防护折中的关键结构。小信号输入条件下, 限幅器件未进入明显导通状态, 支路等效阻抗较高, 主传输通道仍承担主要信号传输任务。当输入功率超过一定范围后, 限幅器件导通, 支路阻抗下降, 强信号能量通过接地路径泄放, 从而降低输出端功率水平。

并联支路配置需要重点控制支路接入点和接地路径。支路接入点若距离主通道阻抗敏感区域过近, 容易形成局部不连续; 接地路径若过长, 则会引入较大接地电感, 削弱高频泄放能力, 并可能造成限幅响应不充分。对于宽频应用, 支路数量和位置应结合目标频段、限幅电平和插入损耗指标共同确定。并联支路是主通道阻抗环境中的一部分, 其配置质量直接影响电路宽带传输特性^[3]。

(三) 多级限幅单元协同设计

单级限幅结构在较宽频段和较高输入功率条件下往往难以兼顾耐功率和限幅稳定性。多级限幅单元可将强信号防护任务分散到不同节点: 前级限幅单元主要承担大功率信号的初步吸收和泄放, 降低后续承受的瞬态能量; 后级限幅单元则进一步控制输出功率, 使限幅电平保持在后续电路可承受范围内。通过前后级协同, 电路可避免单一节点承受过高功率冲击。

需要注意的是, 级数增加会带来更多结电容、互连电感和节点不连续, 可能使高频端插入损耗升高。因此, 多级协同设计的重点在于功率分担与寄生控制之间的折中。前级和后级限幅单元的间距、接入方式及器件尺寸应根据功率吸收需求和宽带匹配要求综合确定, 使限幅能力提升不以显著牺牲小信号传输性能为代价。

三、宽带性能优化与仿真修正

(一) 插入损耗优化

在拓扑结构确定后, 插入损耗优化应首先围绕小信号 S 参数展开。设计过程中可通过观察 S_{21} 随频率变化的情况, 判断主传输通道中是否存在明显损耗集中区。若低频段与高频段插损差异较大, 通常需要检查传输线过渡、支路接入点、金属互连长度和节

点阻抗突变等因素。对于宽带限幅电路而言，插入损耗优化是降低限幅支路对主通道的附加扰动^[4]。

具体优化中，主传输线应尽量采用短直路径，避免急剧转角和不连续过渡；限幅支路接入位置应避开阻抗变化敏感节点，减少对主通道等效阻抗的拉偏；输入输出端焊盘过渡需与传输线阻抗协调，避免焊盘电容在高频段造成明显反射和损耗。插入损耗优化的目标，是使限幅电路在正常接收功率范围内接近低损耗传输单元。

（二）端口匹配优化

端口匹配优化主要依据输入回波损耗 S_{11} 和输出回波损耗 S_{22} 进行。若某一频段回波损耗明显变差，说明端口阻抗在该频段偏离目标阻抗，可能与支路等效电容、传输线长度、焊盘过渡或接地结构有关。与窄带电路不同，宽带限幅电路不能依赖单点谐振补偿解决匹配问题，而应通过较平滑的阻抗过渡和分布式寄生补偿改善宽频段匹配。

端口匹配优化应与插入损耗优化保持顺序关系。若主通道损耗尚未得到控制，直接调整匹配网络可能掩盖损耗来源；若只追求某一频点的匹配最优，则可能导致其他频段性能恶化。因此，较合理的优化流程是先保证主通道传输连续，再根据 S_{11} 和 S_{22} 曲线修正输入、输出端口及支路接入节点。宽带性能优化流程见图2。

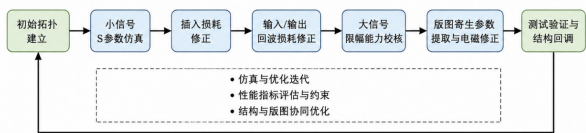


图2 宽带低插损限幅电路性能优化流程图

（三）寄生参数与版图修正

宽带限幅电路在高频端对版图寄生参数极为敏感。原理图仿真阶段的理想节点，在实际版图中会转化为具有电阻、电感和电容特性的金属互连、焊盘过渡和接地回路路径。尤其是限幅支路接地电感，会影响强信号能量泄放效率；焊盘电容和金属互连电感则会改变端口阻抗和传输相位，使实测结果偏离原理图仿真^[9]。

因此，版图修正应作为宽带性能优化的重要环节。设计中可通过电磁仿真提取关键节点寄生参数，并将提取结果回标至电路模型中进行二次仿真。针对高频端插损或回波损耗波动，可进一步压缩接地路径、增加接地连续性、优化支路间距、减少不连续转角，并控制输入输出焊盘与主传输线之间的过渡结构。

四、测试结果与性能分析

为验证所设计限幅电路的宽带传输特性与功率防护能力，对限幅器样品进行了测试。测试结果显示，该限幅器工作频率覆盖2 ~ 18GHz，典型插入损耗约0.65dB，连续波耐功率达到37dBm，限幅电平约16dBm，芯片尺寸为1.6mm × 0.95mm × 0.1mm，芯片实物及相关性能曲线如图3所示。

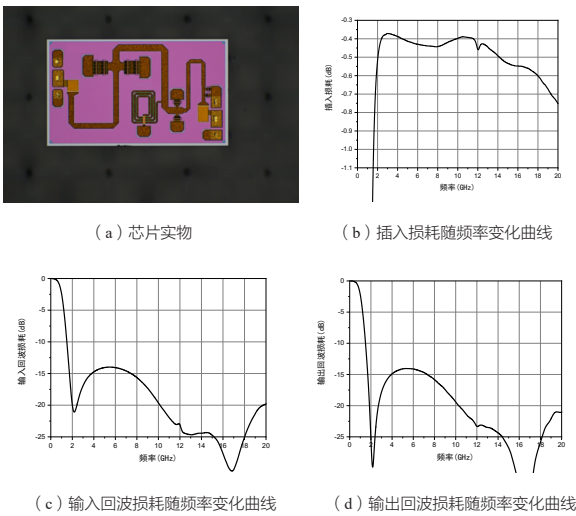


图3 限幅器样品测试结果

（一）插入损耗测试结果分析

从测试结果看，该限幅电路工作频率覆盖2 ~ 18GHz，典型插入损耗约为0.65dB。对于宽带接收前端而言，这一指标具有较强的工程意义。限幅电路通常位于低噪声放大器之前，若其小信号插损偏高，会直接增加前端等效损耗，并进一步削弱弱信号接收能力。因此，2 ~ 18GHz范围内保持较低插损，说明该电路并未因设置限幅支路而显著破坏主传输通道的低损耗特性。

插入损耗结果也能够反向说明拓扑配置的合理性。若限幅支路对主通道耦合过强，或支路接入点形成明显阻抗突变，测试曲线往往会在高频段出现较大起伏；若接地路径过长、焊盘过渡不连续或器件结电容影响未被充分吸收，高频端损耗也会被进一步放大。该电路能够在较宽频率范围内维持约0.65dB的插损水平，表明主传输路径、并联限幅支路和端口过渡之间形成了相对平衡的结构关系。

需要注意的是，过度削减限幅单元虽然可能降低小信号损耗，却会削弱强信号泄放能力，影响后续限幅电平和耐功率表现。该测试结果更准确地说明，低插损来自主通道连续性、支路弱扰动接入和寄生参数控制的共同作用。也就是说，限幅支路在小信号状态下没有对传输路径形成明显负载，而在强信号状态下仍保留了进入限幅保护的结构条件，这正是宽带低插损限幅电路拓扑设计需要实现的关键平衡。

（二）回波损耗测试结果分析

输入、输出回波损耗能够反映限幅电路接入系统后的端口匹配状态。宽带限幅电路若仅实现低插入损耗，而输入或输出端口反射较大，则仍可能造成级间失配，影响接收链路稳定性。因此，回波损耗测试不仅用于判断端口性能，也可反向反映拓扑结构和版图寄生控制是否合理。

从测试曲线对应的设计逻辑看，输入端回波损耗主要受输入焊盘过渡、前级限幅支路接入点和主传输线阻抗连续性的影响；输出端回波损耗则与后级限幅单元、输出过渡结构和负载端匹配条件相关。若某一频段出现回波损耗变差，通常意味着该频段内等效电容或等效电感对阻抗产生了偏移。该类变化应结合限幅支

路位置、接地路径和版图寄生参数综合分析。

对于 2 ~ 18GHz 宽频应用，端口匹配很难在全频段保持一致。测试曲线的意义在于判断匹配状态是否满足宽带接入要求，并为后续结构修正提供方向。若高频端波动较明显，可优先从焊盘过渡、接地电感压缩和支路间距调整等方面继续优化；若低频端匹配不足，则应重点检查主通道阻抗设计和限幅支路等效负载影响。

（三）限幅与耐功率测试结果分析

限幅电路的低插损设计必须以强信号防护能力不被削弱为前提。根据测试结果，该电路连续波耐功率达到 37dBm，限幅电平约为 16dBm。该结果表明，电路在保持较低小信号插入损耗的同时，仍能在强输入功率条件下形成有效限幅保护。低插损与耐功率能力同时成立，说明并联限幅支路和多级限幅单元之间的功率分担关系较为合理。

从工程应用角度看，37dBm 连续波耐功率反映限幅支路具备较强能量承受能力，16dBm 限幅电平则说明输出功率被控制在相对安全范围内。若只追求更低插入损耗而减小限幅器件尺寸，可能导致耐功率下降；若单纯提高耐功率而增加限幅单元数量，则可能造成插损和匹配性能恶化。该测试结果表明，所采用拓扑在低损耗传输和强信号防护之间取得了较为均衡的设计状态。

此外，芯片尺寸为 1.6mm × 0.95mm × 0.1mm，说明该限幅电路在较小面积内实现了宽带限幅功能。对于射频前端集成化设计而言，小型化有利于降低封装和系统集成难度，但也会压缩传输线过渡、接地结构和限幅支路布置空间。因此，在后续优化中仍需关注尺寸压缩与高频寄生控制之间的关系，避免小型化布局导致高频端性能退化。

五、结语

综上，主传输通道的连续性决定了正常接收状态下的损耗水平，并联式限幅支路影响强信号介入时的泄放效率，多级限幅单元则关系到功率分担与输出限幅稳定性。与此同时，端口匹配和版图寄生参数会在宽频段内放大结构细节的影响，使原理设计与实测性能之间存在差异。后续设计应继续围绕高频端匹配均衡、接地电感压缩、支路间距控制和热可靠性开展深入优化，使限幅电路在更宽工作频段、更小芯片面积和更高功率承受条件下保持稳定性能。

参考文献

[1] 霍树栋, 相梦娇, 张正兴, 等. 基于氮化镓二极管的异构集成宽带小型化限幅器电路 [J]. 微波学报, 2025, 41 (5): 34–39+53.
[2] 熊波, 李浩雨, 程永茂. 基于封装电路模型的 PIN 限幅器尖峰泄漏仿真分析 [J]. 探测与控制学报, 2025, 47 (3): 122–126.
[3] 周应旺, 应浩, 曲鹏, 等. 基于加减运算的磁电式传感器信号调理电路设计 [J]. 微电机, 2024, 57 (11): 29–33+44.
[4] 刘硕, 苏建徽, 张健, 等. 自限幅电路建模及在无线电能传输中的应用 [J]. 电力自动化设备, 2024, 44 (6): 110–117.
[5] 常志煜, 张胤, 张翠翠, 等. 一款适用于 5G 通信频段的限幅滤波结构的设计 [J]. 电子测量技术, 2022, 45 (20): 1–7.