

低相位噪声锁相环电路设计与时频性能优化

朱福洋

成都天奥电子股份有限公司, 四川 成都 610036

DOI:10.61369/ETQM.2026070004

摘 要： 本文围绕着低相位噪声锁相环也就是 PLL 电路设计以及时频性能优化来开展研究工作，对环路滤波器参数进行优化，选用低噪声 VCO，并且提高鉴相器性能，来实现 PLL 宽频段的快速锁定以及低抖动输出。把时域以及频域分析方法结合起来，去处理量化抖动特性以及相位噪声分布的工作，进而提出优化设计策略来实现降低功耗、提高锁定稳定性的效果，仿真以及实验结果得以表明，这个设计在相位噪声的控制、频率稳定性以及瞬态响应这些方面的优势极为显著，能够为高速通信和精密测量系统提供可靠的频率源方案。

关 键 词： 锁相环；相位噪声；频率稳定；环路优化；抖动分析

Design of Low Phase Noise Phase-Locked Loop Circuit and Optimization of Time-Frequency Performance

Zhu Fuyang

Chengdu Spaceon Electronics Co., Ltd., Chengdu, Sichuan 610036

Abstract： This paper focuses on the design of a low phase noise phase-locked loop (PLL) circuit and the optimization of its time-frequency performance. By optimizing the loop filter parameters, selecting a low-noise voltage-controlled oscillator (VCO), and improving the performance of the phase detector, rapid locking and low-jitter output are achieved across a wide frequency band of the PLL. Combining time-domain and frequency-domain analysis methods, this study addresses the quantization of jitter characteristics and the distribution of phase noise, subsequently proposing optimization design strategies to reduce power consumption and enhance locking stability. Simulation and experimental results demonstrate that this design exhibits significant advantages in phase noise control, frequency stability, and transient response, providing a reliable frequency source solution for high-speed communication and precision measurement systems.

Keywords： phase-locked loop; phase noise; frequency stability; loop optimization; jitter analysis

引言

在现代高速通信、雷达以及精密测量系统当中，频率源的相位噪声性能会直接对系统的信号完整性以及测量精度产生影响，低相位噪声锁相环也就是 PLL，作为关键的频率控制器件，它的设计以及优化是提高系统性能的核心方面。借助对环路滤波器、电压控制振荡器也就是 VCO 以及鉴相器等关键模块来进行参数调优，就可以实现输出信号的快速锁定、低抖动和高稳定性，同时，把时域抖动分析以及频域相位噪声评估结合起来，来为 PLL 电路提供科学的优化路径，进而为后续的技术实现以及系统集成开展奠定基础，具有重要的工程应用价值和研究意义。

一、锁相环电路关键模块设计与性能分析

（一）鉴相器设计与性能指标

鉴相器是锁相环也就是 PLL 的核心模块之一，它的性能会直接对环路锁定速度以及输出信号相位噪声水平产生影响，高精度鉴相器需要拥有宽工作频率范围、低死区特性以及良好线性响应，以此保证可以准确地捕捉到相位误差，并且将其转化成控制信号。常用的鉴相器类型有模拟型、数字型以及混合型结构，要

把合适的类型选出来，需要结合系统工作频段以及噪声要求，在进行设计的时候，需要对输入端匹配电路以及输出滤波网络进行优化，来降低失真和干扰，提高环路增益以及瞬态响应性能。此外，把自动补偿电路、差分结构等噪声抑制技术引入进来，能够有效减小高频杂散信号对于相位检测精度所产生的影响，从而确保 PLL 锁定过程的稳定性以及可靠性。

（二）电压控制振荡器（VCO）设计与参数优化

电压控制振荡器也就是 VCO，是 PLL 的主要频率源，它的相

位噪声以及调谐特性会直接决定锁相环输出信号的质量，低相位噪声 VCO 设计需要把振荡器拓扑结构、负载匹配以及电源噪声抑制等方面的因素综合起来进行考量。在拓扑选择方面，可以把跨导 - 电容也就是 $G_m - C$ 结构或者 LC 振荡器结构当作选择来使用，以此来实现宽频带调谐以及低噪声输出，对电路元件参数进行优化、提高振荡器的 Q 值，并且运用低噪声偏置电路，就可以显著降低相位抖动。此外，VCO 设计需要做到兼顾调谐范围以及灵敏度，避免高调谐系数把额外频率抖动引入进来，同时还应当借助温度补偿和电源滤波策略，来减小环境变化对振荡频率所产生的影响，从而提高系统整体的稳定性以及可靠性。

（三）环路滤波器设计与环路性能分析

环路滤波器是 PLL 当中连接了鉴相器以及 VCO 的核心方面，其作用是来实现锁定速度和抑制高频噪声能力的平衡，滤波器设计方面，需要明确环路带宽、阻尼系数以及低频增益目标，凭借一阶或者二阶低通滤波器结构来实现对误差信号的有效调节工作。宽环路带宽设计能够把 PLL 锁定速度加快，不过可能会引入高频相位噪声，那就需要开展滤波器阻抗匹配以及电容选择的优化工作，对环路增益以及相位裕度进行分析，并且结合时域和频域仿真法，就可以开展对 PLL 的瞬态响应、稳态误差以及抖动特性的评估工作。进一步来说，把可调电阻或者电容引入进来，来实现环路参数的动态调节，能够在不同工况当中对锁定性能以及噪声抑制效果进行优化，拥有为高性能低相位噪声 PLL 设计提供可靠的理论和工程依据的功能。

二、环路滤波器优化与稳定性提升策略

（一）环路带宽与滤波器拓扑优化

环路滤波器在锁相环（PLL）中起到调节相位误差信号、平衡锁定速度与噪声抑制的核心作用，其带宽选择对系统稳定性和动态响应具有直接影响。较宽的环路带宽可加快 PLL 的锁定速度，提高瞬态响应能力，但同时可能引入高频噪声，增加输出抖动。相反，较窄的环路带宽有利于抑制高频噪声，但会延长锁定时间并降低动态性能。针对不同应用场景，可采用一阶、二阶或三阶低通滤波器拓扑，通过合理配置电容、电阻和可调元件实现所需的频率响应特性。在设计过程中，可通过仿真分析滤波器对环路增益和相位裕度的影响，选择最优拓扑结构，以在锁定速度和相位噪声抑制之间取得平衡。

（二）环路稳定性分析与阻尼优化

环路稳定性是 PLL 可靠运行的关键指标，它所关心的是频率锁定的准确性以及系统的抗干扰能力，稳定性分析通常是基于环路增益以及相位裕度来开展，借助 Bode 图或者根轨迹法去处理评估系统在不同频率之下的响应特性的工作。为了提高稳定性，可以把滤波器阻尼系数进行调整来实现环路阻尼的优化，避免因为过度振荡或者欠阻尼所导致的锁定误差，具体方法是在滤波器当

中引入串联电阻、进行电容的调节，或者运用复合滤波结构，对系统极点以及零点位置开展调节工作，从而提高环路对于瞬态扰动的响应能力。此外，通过开展温度补偿以及工艺容差分析，可以保证环路在不同工况之下保持稳定，减少因为元件漂移所导致的锁定不稳定问题，来提高 PLL 整体的可靠性。

（三）可调滤波与动态性能优化

在高性能 PLL 设计当中，静态滤波器的参数很难满足多工况应用方面的需求，可调滤波器就成了来实现环路性能优化的重要手段，引入可变电容、数字可调电阻以及模拟开关，就可以依据系统频率、负载变化以及噪声要求来动态去调整滤波器带宽与增益，从而得以实现锁定速度和噪声抑制的实时优化。那么，像高频高速通信应用在启动阶段会借助宽带滤波来快速开展频率锁定工作，锁定之后就会自动把滤波方式切换到窄带滤波，以降低相位噪声，可调滤波器的设计需要结合电路稳定性方面的分析，以此来确保在进行动态调整的时候不会引入振荡或者让环路失稳。此外，借助把控制逻辑和反馈监测进行集成，就可以实时去监控滤波器调整的过程，进一步提高系统在不同工况当中的稳定性以及可靠性，那么通过仿真以及实验开展验证工作后，可以全面地对 PLL 锁定过程、输出抖动以及频率稳定性进行优化，来为高精度、低相位噪声系统提供可靠的滤波方案。

三、低噪声 VCO 设计与抖动控制方法

（一）VCO 拓扑选择与低噪声设计原则

电压控制振荡器（VCO）是锁相环（PLL）系统的核心频率源，其自身的相位噪声性能直接决定 PLL 输出信号的质量。低噪声 VCO 设计首先需在拓扑选择上做出优化，一般可选用 LC 振荡器、跨导 - 电容（ $G_m - C$ ）振荡器或环形振荡器。LC 振荡器凭借高品质因数（Q 值）电感和电容网络，能够在中高频段实现低相位噪声输出，适用于高精度通信和雷达系统。 $G_m - C$ 振荡器结构则适合低电压、低功耗场景，同时具备较宽的调谐范围。设计过程中，应严格控制振荡器核心器件的匹配精度，优化电路偏置和负载条件，减少器件噪声和电源纹波对振荡频率的影响。此外，通过对振荡器的噪声源进行建模分析，如器件热噪声、 $1/f$ 噪声及电源抖动，可量化各类噪声对输出相位噪声的贡献，为后续优化提供科学依据。

（二）调谐特性优化与频率稳定控制

VCO 的调谐特性会直接对 PLL 的锁定范围以及频率稳定性产生关联影响，为了实现低抖动输出，在设计当中要开展 VCO 调谐增益也就是 K_{vco} 以及调谐线性度的控制工作，避免把过高的调谐灵敏度引入，从而带来额外的频率噪声，确保环路在不同的控制电压之下能够有稳态锁定精度。常用的优化方法囊括了运用高线性度调谐电容、开展振荡器电感以及电容比值的优化工作、引入温度补偿元件去处理减小环境温度变化对振荡频率所产生的影响方

面的工作，电源噪声会通过调谐端口引入频率抖动，在设计的时候，需要把低噪声偏置电路、电源滤波以及隔离技术结合起来，从而保证 VCO 在宽电源和温度波动的情况下，其频率稳定性得以实现。同时，借助多点温度以及电源仿真，来对 VCO 在极端工况下的频率偏移开展评估工作，并且结合环路增益优化以及负载匹配调整，进一步提高锁定精度和输出信号纯度，环路仿真可以对 VCO 在不同控制电压下的瞬态响应进行预测，然后去调整设计参数，同时兼顾锁相过程当中的低抖动以及高稳定性，来为系统级优化提供可靠依据。

（三）抖动抑制策略与噪声优化方法

VCO 输出抖动是对 PLL 系统性能产生影响的重要指标，它的抖动来源包括内部器件噪声、环路反馈噪声以及外部干扰，抖动控制策略需要从多个层面来开展优化工作：在器件这个方面，选用低噪声晶体管，并且去处理优化偏置电流以及器件匹配的工作，以此来提高振荡器本底的信噪比；电路方面，借助差分振荡器结构来开展抑制共模干扰的工作，经过环路滤波器去处理减小高频噪声传递的工作；在系统这个方面当中，把 PLL 环路带宽设计结合起来，来开展锁定速度以及抖动抑制能力的平衡工作。进一步来说，运用相位噪声建模以及仿真工具，去做不同噪声源贡献的量化分析工作，识别出主要的噪声路径，在设计当中把抑制电路或者噪声隔离措施引入进来，此外，借助温度补偿、电源隔离以及布局优化，就可以进一步降低环境因素所带来的对抖动的影响。借助实验测试数据，就可以对抖动抑制效果以及频率稳定性进行验证，这样来形成系统级低噪声 VCO 设计方案，为高速通信、雷达探测以及精密测量系统提供高性能频率源保障，同时提高 PLL 系统整体的可靠性以及工程的可实现性。

四、时频特性评估与整体优化方案

（一）时域抖动分析与瞬态性能评估

锁相环也就是 PLL 时频特性评估当中，开展时域抖动分析是理解输出信号瞬态行为的关键手段，去处理对输出信号的连续上升沿或者下降沿开展高精度时间间隔的采集工作，这样能够量化周期性以及随机性的抖动特性，也就是包含均方根抖动（RMS）、峰峰值抖动以及抖动分布概率，从而开展对系统稳定性以及锁定性能的全面评估工作。时域分析能够揭示出 PLL 锁定时候的瞬态行为，像锁定时间、超调量以及环路响应速度等方面，这样就可以为环路滤波器设计以及 VCO 调谐参数的优化提供直接的参考，在实验当中，把高速示波器以及时间间隔分析仪结合起来，就可以来实现亚皮秒级抖动测量，提高评估精度，并且凭借统计分析抖动波形，来识别短时与长周期抖动特性。此外，借助时域仿真来模拟不同环路参数变化对于锁定瞬态以及稳态抖动所产生的影响，就可以提前对电路在启动、频率切换或者负载变化等工况下的性能进行预判，那么通过开展优化设计工作，来确保 PLL 输出

信号在各种工况当中拥有稳定性以及低抖动水平。时域抖动分析可以去处理对输出信号质量进行量化的工作，同时还为后续的频域分析以及系统级优化提供基础数据，这样能够让整个 PLL 设计在快速响应和低噪声输出之间实现科学平衡。

（二）频域相位噪声分析与噪声贡献分解

在 PLL 性能评估中，频域相位噪声分析可揭示输出信号在不同频率偏移下的噪声特性，是判断系统整体性能的重要指标。通过测量输出信号的功率谱密度（PSD），可以分析近载噪声、远离载波的高频噪声以及环路反馈引入的周期性噪声对系统性能的影响。频域分析不仅可对整体相位噪声进行定量评估，还能进一步通过噪声分解方法识别主导噪声源，包括 VCO 本体噪声、鉴相器噪声及环路滤波器噪声贡献。针对不同噪声源，可采取针对性抑制措施，例如优化 VCO 拓扑结构、采用低噪声元件或改进电源隔离设计，同时调整滤波器阻尼参数以抑制高频噪声传递。频域分析还能验证环路带宽对噪声传递特性的影响，确保在不同频率范围内相位噪声满足系统要求。在实际应用中，结合频域测量和时域抖动数据，可以实现对噪声源的精细识别和优化，指导 PLL 各模块参数优化及环路匹配设计，为高速通信、雷达探测及精密测量提供可靠、稳定的频率输出。通过频域分析，设计者可在系统设计阶段预测噪声对性能的限制，并采取有效措施降低输出抖动，为实现低相位噪声和高频率稳定性的 PLL 奠定基础。

（三）整体优化策略与系统级实现

完成时域抖动以及频域相位噪声的评估工作之后，就可以基于综合数据来开展制定 PLL 系统整体优化方案的工作，那么整体优化策略囊括了对环路滤波器参数开展调整工作、对 VCO 设计进行改进、提高鉴相器性能以及开展系统级协调等方面，其目的是来实现锁定速度、抖动控制以及相位噪声抑制间的最佳平衡。设计的时候需要考虑环境因素、电源干扰、器件工艺差异以及温度漂移等方面，借助可调滤波器、温度补偿以及电源隔离等来开展增强系统稳定性以及可靠性的工作，借助仿真验证以及实验测试这两个方面，来构建一个闭环反馈机制，持续去处理环路参数和模块设计的优化工作，保证 PLL 在不同的工作频率、负载条件以及启动状态下得以实现快速锁定低抖动以及高频率稳定性的特性。系统级优化进行了单个模块性能的提升，借助协同设计来实现整体时频特性的最优，提高了 PLL 输出信号的质量以及可靠性，此外，整体优化可以把锁定瞬态优化、相位噪声抑制以及频率稳定性控制开展有机结合，来实现高性能 PLL 设计目标，为高速通信、雷达系统以及精密测量提供高质量低噪声频率源能够保证系统在复杂工况之下拥有稳定并且可靠的运行性能以及工程应用价值。

五、结语

本文系统性地去探讨了低相位噪声锁相环也就是 PLL 电路设

计以及时频性能优化的方法,借助开展鉴相器、电压控制振荡器也就是 VCO 以及环路滤波器这些关键模块的设计工作和进行参数优化,来实现输出具有低抖动、快速锁定以及高频率稳定性特点的信号。把时域抖动分析以及频域相位噪声评估结合起来,提出可调滤波、抖动抑制以及整体优化策略,来实现系统级性能的提

升,研究显示,这个设计在相位噪声控制、瞬态响应以及锁定稳定性这些方面具有优势,可以为高速通信、雷达探测以及精密测量系统提供可靠且高性能的频率源方案,拥有重要的工程应用价值以及参考意义。

参考文献

[1] 郭超东. 应用于高性能时钟生成的超低相位噪声锁相环电路技术研究 [D]. 重庆理工大学, 2025. DOI: 10.27753/d.cnki.gcqgx.2025.001694.
[2] 朱丹玥. 应用于超宽带无线收发机的锁相环关键电路设计 [D]. 华东师范大学, 2024. DOI: 10.27149/d.cnki.ghdsu.2024.005059.
[3] 韩志昊. 低相位噪声 CMOS 电荷泵锁相环设计 [D]. 西安科技大学, 2023. DOI: 10.27397/d.cnki.gxaku.2023.001336.
[4] 王冰. 用于高速 SerDes 电路的低相噪锁相环设计 [D]. 南京邮电大学, 2022. DOI: 10.27251/d.cnki.gnjdc.2022.000171.
[5] 蒋磊. 基于移频锁相的超宽带低相位噪声频率源的研究 [D]. 南京理工大学, 2022. DOI: 10.27241/d.cnki.gnjgu.2022.000685.