

基于 FPGA 的高速信号采集与处理系统设计

聂正

哈尔滨九洲电气技术有限责任公司，黑龙江 哈尔滨 150028

DOI:10.61369/ERA.2026050036

摘 要： 本文针对雷达通信以及医疗成像等领域对于高速信号采集和实时处理所存在的强烈需求，构建了一套借助 FPGA 平台来开展高速信号采集与处理的系统，高速 ADC 承担起模数转换的核心工作，JESD204B 高速串行接口会把数据流输送至 FPGA，FPGA 借助它的并行架构开展数字滤波运算工作实时信号处理算法，像 FFT 变换得以实现，大容量数据缓存的工作由 DDR4 SDRAM 来承担，并且和上位机的高速通信借助千兆以太网来完成。系统开展采样工作的采样率峰值能够达到 3.2GSps，其有效位数超过了 9.1 位，对信号去处理工作的延迟处在微秒级，契合高速信号采集以及处理方面的实际工程需求。在硬件架构设计上，系统采用了“ADC+FPGA+DDR4+ 以太网”的典型架构。高速模数转换器（ADC）作为模拟信号通向数字世界的桥梁，承担着核心的模数转换工作。本系统选用的 ADC 芯片具备极高的采样性能，能够对高频模拟信号进行精确量化，为后续处理提供高质量的原始数据源。为了解决高速 ADC 输出数据率过高导致的 PCB 走线复杂及同步难题，系统引入了 JESD204B 高速串行接口协议。相较于传统的并行 LVDS 接口，JESD204B 极大地减少了 IO 引脚占用，降低了布线难度与干扰。该系统在采集速率、处理实时性及信号保真度等方面均达到了设计预期，能够很好地契合雷达探测、宽带通信及高端医疗成像等领域对高速信号采集与处理的实际工程需求，具有重要的应用价值。

关 键 词： FPGA；高速信号采集；JESD204B；实时信号处理；数据缓存

Design of FPGA-Based High-Speed Signal Acquisition and Processing System

Nie Zheng

Harbin Jiuzhou Electric Technology Co., Ltd., Harbin, Heilongjiang 150028

Abstract： In response to the strong demand for high-speed signal acquisition and real-time processing in applications such as radar communication and medical imaging, this paper constructs a system for high-speed signal acquisition and processing using an FPGA platform. The high-speed ADC undertakes the core task of analog-to-digital conversion, while the JESD204B high-speed serial interface delivers the data stream to the FPGA. The FPGA leverages its parallel architecture to perform digital filtering operations and real-time signal processing algorithms, such as FFT transformations. Large-capacity data buffering is handled by DDR4 SDRAM, and high-speed communication with the host computer is achieved through Gigabit Ethernet. The system achieves a peak sampling rate of 3.2 GSps, with an effective number of bits exceeding 9.1, and signal processing delays in the microsecond range, meeting the practical engineering requirements for high-speed signal acquisition and processing. In terms of hardware architecture design, the system adopts a typical "ADC + FPGA + DDR4 + Ethernet" configuration. The high-speed analog-to-digital converter (ADC), serving as the bridge between analog signals and the digital world, undertakes the core analog-to-digital conversion task. The ADC chip selected for this system offers exceptional sampling performance, enabling precise quantization of high-frequency analog signals and providing high-quality raw data for subsequent processing. To address the challenges of complex PCB routing and synchronization caused by the high data rate output from the high-speed ADC, the system incorporates the JESD204B high-speed serial interface protocol. Compared to traditional parallel LVDS interfaces, JESD204B significantly reduces IO pin usage, lowers routing complexity, and minimizes interference. The system meets design expectations in terms of acquisition rate, processing real-time performance, and signal fidelity, effectively meeting the practical engineering requirements for high-speed signal acquisition and processing in fields such as radar detection, broadband communication, and advanced medical imaging, demonstrating significant application value.

Keywords： FPGA; high-speed signal acquisition; JESD204B; real-time signal processing; data buffering

引言

数字信号处理技术得到了迅猛的推进,像雷达探测、软件无线电、医学成像以及高能物理实验等前沿领域,对于数据采集系统的采样率以及处理效能方面,提出了越来越严苛的诉求。高速信号实时处理需求通常达到数百兆赫兹甚至吉赫兹级别,鉴于传统采集体系运用 DSP 或者微控制器,并且采用串行指令执行模式,所以往往难以去处理高速信号实时处理工作,现场可编程门阵列也就是 FPGA,鉴于它的并行处理架构、灵活的可重构性以及丰富的 I/O 资源,在高速数据采集以及处理方面展现出了独特优势。FPGA 内部的逻辑资源能够开展多任务并发的处理工作,来构建并行流水线架构,这样系统的吞吐率就得以实现显著提高;用户可以根据实际的需求,在线开展 FPGA 逻辑功能的重新配置工作,这样有效减少了系统开发所需要的时间;前沿模数转换器和 FPGA 开展无缝对接工作,它的高速串行接口协议得到了广泛的支持。高速信号采集以及处理系统借助 FPGA 来实现,其核心是开展高速 ADC 与 FPGA 的接口构建工作。实时信号处理算法在硬件当中得以执行,大容量数据缓存机制以及高速数据传输技术是研究方面的重点。设计的可行性通过系统测试得以证实,并且它的可靠性也获得了确认。

一、系统总体设计

(一) 系统架构

系统架构展示在图1当中,它的构成部分囊括了信号调理单元、高速模数转换器、现场可编程门阵列处理核心、数据暂存区、通信接口组件以及时序控制单元,信号调理单元会对输入的模拟信号开展放大、滤波以及电平调整工作,保证它契合模数转换器的输入规格。基于 FPGA 的高速数据采集与处理系统主要包括 A / D 采集模块、FPGA 控制模块、USB 接口模块和上位机模块。^[1]高速 ADC 模块会把模拟信号转变为数字信号,然后借助 JESD204B 高速串行接口来向 FPGA 开展数据传输工作,核心处理模块在 FPGA 当中开展多项任务的处理工作。它会接收数据,去处理信号,对缓存进行控制,开展接口协议的管理工作。数据缓存单元把 DDR4 SDRAM 当作外部大容量存储来使用,批量待处理信息会在这个单元里面获得暂存,通信接口模块凭借千兆以太网来和上位机开展数据交换工作,这个模块拥有系统参数设置的功能,并且可以把处理后的结果向上传输。

(二) 工作流程

模拟信号进行前端调理之后,马上被送入高速 ADC,并且在采样时钟的驱动下来完成模数转换,FPGA 借助 JESD204B 接口来获取 ADC 的串行数据流,A/D 接口电路使用 Zynq 可编程逻辑部分资源,该 A/D 采样时钟由 Zynq 给出,可根据信号频率在 10 ~ 50 MHz 范围内灵活选择。^[2]开展解帧以及对齐的操作,然后来实现格式转换。转换后的这个数据进入信号处理单元,去处理数字滤波以及 FFT 变换等实时运算工作。数据经过处理之后,可以把它临时存放在 DDR4 缓存当中,也能够借助以太网接口,向它上位机进行传送,从而来实现展示以及解析,时钟信号是由管理模块来产生的,拥有高精度以及低抖动的特性,这样就能保障系统当中各单元来实现同步运作。

二、硬件电路设计

(一) 高速 ADC 模块

高速模数转换器作为系统当中的关键部件,它的特性会很大程度上影响整体的性能表现,本设计把德州仪器的 ADC12J4000

芯片当作来使用,这个芯片能够支持开展最高 4GSps 的采样率,其分辨率是 12 位,拥有出色的动态性。ADC12J4000 芯片把 JESD204B Subclass 1 接口当作来使用,拥有具备确定性延迟的特性,还支持开展多通道同步数据的获取工作,ADC 模拟以及数字电源的隔离是非常关键的,把磁珠和电容网络结合起来能够有效地去处理滤除噪声的工作,这样来实现采样精度的提升;差分时钟源应当把低抖动类型当作选择,采样时钟的抖动会直接对系统信噪比以及有效位数产生影响;JESD204B 高速串行接口所具有的差分走线,它的阻抗匹配是必须要得到严格控制的。通常情况下,会把差分阻抗设定为 100Ω。同时,走线长度是需要保持匹配的,这样有助于减小通道之间所存在的偏差。

(二) FPGA 核心模块

本设计把 XCKU115 FPGA 当作核心处理器件来使用,这个器件也就是 Xilinx Kintex UltraScale 系列的,这个系列的 FPGA 开展了高速收发器也就是 GTH/GTY 的集成工作,它的串行传输速率最高可以达到 32.75Gbps,这样就能够直接去对接契合 JESD204B 接口标准的 ADC。FPGA 片内 RAM 阵列控制和数据排序单元负责将 A/D 转换的结果进行临时存储和后期的最大应力值提取。^[3]FPGA 内部集成了大量的 DSP48E2 切片,这些切片能够高效地来实现数字滤波以及 FFT 等信号处理算法,电源分配以及信号完整性构成了 FPGA 电路设计当中的核心要素,FPGA 型号是 XCKU115115 系列。在实时异常检测中,EMD 模块是最关键的模块,EMD 的分解速度影响着整个异常检测的效率。^[4]XCKU115 芯片需要借助多种电压源来提供电力,包括不同规格的电压源,也就是 VCCINT (电压为 0.95V)、VCCBRAM (电压为 0.95V)、VCCAUX (电压为 1.8V) 以及 VCCO (电压为 3.3V 或者 1.8V) 等,为了保证设备能够正常运行,需要严格按照它的规格设定来开展电源启动顺序的操作。高速串行接口设计需要去关注参考时钟的品质、把 AC 耦合电容当作选择对象来进行选择以及开展收发器端接电阻的设定工作。

(三) 数据缓存模块

系统搭载了四片 DDR4 SDRAM,其总容量为 32GB,数据位宽是 64 位,会运行在 1200MHz 的频率当中,理论带宽能够达到

19.2GB/s, 以此来应对高速数据流的缓存需求。FPGA 凭借它内部集成的 DDR4 控制器来开展对存储介质的访问操作。由于 DSP 强大快速的数据处理能力使得数据采集处理系统能集中在一块电路板上完成的同时又具备了完成复杂控制算法的能力。系统实际工作中取得了良好的效果。^[5] 这个控制器把物理层接口以及内存调度机制进行了整合, 能够高效地去处理 DDR4 的初始化、刷新周期以及读写时序管理工作。数据缓存借助乒乓操作机制, 把 DDR4 存储空间进行划分, 分成两个会交替使用的缓冲区。要是缓冲区 A 开展数据写入工作, 那么缓冲区 B 就用来进行数据读取, 依靠轮流切换来实现数据流的连续处理。高速采集以及慢速处理之间的速度匹配所面临的难题, 借助这种设计来实现有效化解。

（四）通信接口模块

系统和上级主机之间进行数据的交互工作, 是借助千兆以太网端口来实现的, 它的物理层处理芯片选用了 Marvell 88E1111 型号, 这个芯片拥有 10/100/1000Mbps 三种速率的自适应特性。FPGA 内部开展 UDP/IP 协议栈的构建工作, 对处理完毕的采集数据进行以太网帧封装, 然后来实现网络传输, 为了提高传输效能, 选用了 UDP 协议, 并且融合了定制的可靠传输方案。借助滑动窗口以及重传确认机制, 共同开展了对数据完整性的维护工作。其主要作用是接收外设输入的三路电流信号, 并对其进行高精度的采集与转换, 再把转换得到的数据发送给处理器, 以便做进一步的处理;^[6]

三、FPGA 逻辑设计

（一）JESD204B 接口实现

系统和上级主机之间进行数据的交互工作, 是借助千兆以太网端口来实现的, 它的物理层处理芯片选用了 Marvell 88E1111 型号, 这个芯片拥有 10/100/1000Mbps 三种速率的自适应特性。FPGA 内部开展 UDP/IP 协议栈的构建工作, 对处理完毕的采集数据进行以太网帧封装, 然后来实现网络传输, 为了提高传输效能, 选用了 UDP 协议, 并且融合了定制的可靠传输方案。借助滑动窗口以及重传确认机制, 共同开展了对数据完整性的维护工作。

（二）数字信号处理模块

数字信号处理模块借助 FPGA 平台, 运用流水线架构来开展构建。它的核心部分囊括了数字下变频单元以及快速傅里叶变换单元。信号采集系统通常由三个核心功能模块构成, 主要包括信号采样模块、数据传输模块、数据存储模块。^[7]

数控振荡器以及混频器协同开展工作, 来实现高速中频信号向基带的频率迁移, CORDIC 算法被 NCO 选用, 在资源以及精度方面达成了均衡, 混频所产生的基带信号, 借助级联积分梳状滤波器来开展抽取操作, 进而降低数据速率, 后续处理模块的负荷就能够得以减轻。FFT 模块通过把 FPGA 的 IP 核当作工具来使用得以实现, 它的变换长度可以在 1024 点到 16384 点之间进行灵活的配置, 蝶形运算单元在 IP 核的内部运用基 - 2 以及基 - 4 架构, 凭借多级流水线设计来实现高吞吐率。实测数据表明, 当把时钟频率提高到

200MHz 时, 去完成 1024 点快速傅里叶变换所需要的时间大概是 8 微秒。信号采集单元实现多路模拟输入信号的模数转换与采集, 是系统的功能核心, 直接决定系统的信号采集效能。^[8]

（三）数据缓存控制

DDR4 控制器的实现是基于 Xilinx MIG IP 核来开展的, 它的用户接口契合 AXI4 总线协议, 缓存控制状态机开展简化上层访问的工作, 并且把 DDR4 读写细节进行封装。缓存状态机拥有三种操作方式。在直通方式当中, 信息不借助缓存而直接开展传输工作。缓冲方式是先把信息存到 DDR4 里面, 之后再进行读取并发送出去。循环采集方式则是持续地去获取固定长度的数据块。仲裁机制开展多源数据访问的协调工作, 所涵盖的方面有 ADC 写入、以太网读取以及上位机配置。

（四）千兆以太网实现

以太网端口逻辑把精简 UDP 协议架构当作来使用, 拥有 ARP 应答以及 ICMP 响应的能力, 那么数据会沿着传输通道来开展分割工作, 基于最大传输单元来进行划分。UDP 头部、IP 头部以及以太网帧头部会被逐一添加进去。随后, 会把数据借助 GMII 接口, 导向物理层芯片。系统会在接收路径上开展数据帧的解析工作, 识别配置指令并且执行相应的操作。

四、系统测试与性能分析

（一）测试平台搭建

为了开展系统效能的检验工作, 把完备的测试环境构建了起来, 测试系统开展了把信号发生器也就是 Keysight M8195A、频谱分析仪也就是 Keysight N9020B 以及逻辑分析仪也就是 Keysight MSO-X 6004A 进行整合的工作, 并且配备了对应的上位机软件。

（二）ADC 性能测试

高精度信号源把单频正弦波输入进来, 上位机对数据进行采集并且去计算动态参数, 采样率被设定在 3.2GSps, 输入频率是 1.5GHz, 输入幅度为 -1dBFS, 系统的信噪比开展测量后得到的数值是 57.8dB, 无杂散动态范围的数值为 68.4dB, 有效位数得以达到 9.3 位, 接近 ADC 芯片的典型性能指标独立的 IC 芯片内部系统控制单元和逻辑功能单元集成的较为完善, 可以降低开发时的工作难度, 但其缺点在于当系统功能发生变化时不能根据需求进行相应的电路设计。^[9] 在 JESD204B 接口测试当中, 高速串行信号的眼图垂直张开度方面表现得良好, 眼图的高度大概为 600mV, 眼图的宽度大概为 0.85UI, 误码率是低于 10^{-12} 的, 接口的可靠性标准来实现了。

（三）系统综合测试

系统在连续采集模式下来开展运行工作, 运行时长为一小时, 采样率能保持在 3.2GSps, 以太网传输速率稳定在 950Mbps, 整个过程当中未发生数据包丢失的情况, 温升测试开展之后显示, FPGA 芯片表面的温度得以稳定在 65℃, 在环境温度为 25℃ 的条件之下, 其功耗大概是 12W。脉冲信号输入法被用来开展延迟测试工作, 示波器会去测量输入信号以及输出

结果之间的时间间隔，系统开展端到端的处理工作所需要的延迟测得大概是2.3微秒，ADC 进行转换所耗费的时间是0.5微秒，JESD204B 接口占用了0.3微秒，FPGA 开展信号处理工作消耗了1.5微秒。TIADC 的通道失配误差中，偏置误差会引起输入时钟、各个 ADC 核时钟以及直流处的频率杂散，而增益误差和相位误差则会导致一些特定频率点处的谐波失真。^[10]

（四）测试结果分析

综合测试结果如表1所示，系统各项指标均达到设计目标。与同类设计相比，本系统在采样率和有效位数方面具有明显优势，同时保持了较低的功耗和延迟。

参数	设计目标	测试结果
最高采样率	3.2GSps	3.2GSps
分辨率	12位	12位
有效位数	>9位	9.3位
信号处理延迟	<5 μs	2.3 μs
数据缓存容量	32GB	32GB
通信接口速率	1Gbps	950Mbps
系统功耗	<15W	12W

五、结束语

本系统借助 FPGA 平台来开展构建工作，开展了高速信号的捕获以及运算工作。研究把重点放在 JESD204B 接口在可编程逻辑当中的部署，以及流水线形态的数字信号处理框架方面 DDR4 缓存控制以及千兆以太网数据传输等关键技术。系统的采样率最高能够达到3.2GSps，有效位数好于9.1位，处理延迟处于微秒的量级。这样的性能可以满足雷达、通信以及医疗成像等方面对高速信号开展采集与处理工作的需求。未来的研究工作会把重点放在 FPGA 以及 GPU 的异构协同处理架构方面，借助 GPU 所具备的浮点运算能力来提升复杂算法的执行效率；超宽带采集技术借助多通道时间交织来实现，系统采样率可以超过10GSps；借助深度学习算法的引入，信号得以实现智能识别以及分类。

参考文献

[1] 杨飞, 穆向阳, 赵勇勇. 基于 FPGA 的微弱信号高速数据采集与处理系统设计 [J]. 工业控制计算机, 2019, 32(11): 48-49+51.

[2] 李冒金. Zynq 的高速声信号采集处理系统设计 [J]. 单片机与嵌入式系统应用, 2022, 22(01): 67-70.

[3] 刘丰, 杜凤山, 肖海荣. 基于 FPGA 的高速压电板形仪信号采集与处理系统设计 [J]. 仪表技术与传感器, 2015, (05): 38-41.

[4] 许慧雅. 高速数据采集模块信号处理算法设计与实现 [D]. 电子科技大学, 2025.DOI: 10.27005/d.cnki.gdzku.2025.002008.

[5] 刘文. 高速数字信号采集处理系统设计 [J]. 应用科技, 2003, (07): 27-28+32.

[6] 梁宇恒. 高精度数据采集及 DSP+FPGA 高速信号处理硬件系统设计 [D]. 西安电子科技大学, 2012.z

[7] 王宽敏. 基于 FPGA 的多通道高速信号同步采集系统设计 [D]. 中北大学, 2025.

[8] 王宽敏, 刘文怡. 基于 FPGA 的多通道高速信号同步采集系统 [J]. 仪表技术与传感器, 2025, (01): 79-84.

[9] 田高峰. 基于 FPGA 的高速宽带信号采集回放系统设计 [D]. 郑州大学, 2023.DOI: 10.27466/d.cnki.gzzdu.2023.002412.

[10] 余国良, 陆霄, 李居强, 等. 基于 TIADC 的高速、高带宽信号采集系统 [J]. 电子与封装, 2022, 22(11): 46-51.DOI: 10.16257/j.cnki.1681-1070.2022.1104.