

高速数字系统中时钟分配网络与时同步技术研究

熊杰

成都天奥电子股份有限公司, 四川 成都 610036

DOI:10.61369/ERA.2026050027

摘 要 : 本文对高速数电系统的时钟分布网络与时钟同步技术的研究,主要研究高频信号传输过程中产生的时钟抖动、延时差错、信号完整性等问题,提出利用多层次分层式时钟树架构,小型化延迟单元以及相位锁定环(PLL)进行调整以达到系统间的定时对准,并且研究芯片内部总线与外部器件之间同步方式,温度、电源等因素对于同步精准度的影响,为高速数字集成电路设计提供了可靠的时钟分配方案和同步技术借鉴。

关 键 词 : 时钟分配; 时序同步; 高速数字; 相位锁定; 抖动控制

Research on Clock Distribution Network and Time Synchronization Technology in High-Speed Digital Systems

Xiong Jie

Chengdu Spaceon Electronics Co., Ltd., Chengdu, Sichuan 610036

Abstract : This paper focuses on the study of clock distribution networks and clock synchronization techniques in high-speed digital systems, addressing issues such as clock jitter, delay errors, and signal integrity that arise during the transmission of high-frequency signals. It proposes the use of a multi-level hierarchical clock tree architecture, miniaturized delay units, and phase-locked loops (PLLs) for adjustments to achieve timing alignment between systems. Additionally, it explores synchronization methods between internal chip buses and external devices, as well as the impact of factors such as temperature and power supply on synchronization accuracy, providing reliable clock distribution solutions and synchronization techniques for the design of high-speed digital integrated circuits.

Keywords : clock distribution; timing synchronization; high-speed digital; phase locking; jitter control

引言

在高速数字系统中,时钟信号是用于数据传送及运算的基本依据,准确地传递与分布对整个系统的运行至关重要。而随着 CPU 速度以及总线宽带的不断增加,传统的分时钟方案出现了抖动大、延迟长等问题从而使得系统时序混乱甚至产生出错现象,所以研究高性能时钟分配网络与时有效的时钟同步方法对于提高系统性能稳定性来说具有十分重要的意义。本文将在分布式时钟树的设计、相位锁定环的改进和温差压差适应等方面进行讨论,以期能够给高速数字系统提供可以应用的可靠的同步方案来增强整个系统的运行质量。

一、高速数字系统时钟分配网络结构设计

(一) 分布式时钟树架构

高速数字系统的时钟分布网路设计的目标首先是能够让各个部分获得可靠稳定的并具有同步关系的时钟信息,在现代高速处理器以及大容量数字 IC 上普遍应用的就是分布式时钟树结构(Distributed Clock Tree),它的基本原理就是把时钟信号经过多级缓冲级联后传递给各个不同的逻辑单元,从而产生多级缓冲加分支的结构形式。合理放置缓冲器及分支点就可有效减少由不同线路长度造成的时间差以及由于负载的不同所引起的延迟误差大小不一致现象的发生。这种结构即使当整个系统变得更大,也能继续维持信号的同步特性,而且还有较好的可扩展性和独立

性。除此之外,多级分层结构还可以承担一定比例的时钟源驱动负载,降低功耗高峰值,提升整个系统的功耗性能。在设计的时候要根据芯片单元位置、连线距离以及供电能力模拟时钟树,使时钟走线延迟最小化、平衡各部分驱动负载,保证高频率运行的高速数理系统的正确性可靠。

(二) 时钟缓冲器选择与优化

在高速数字系统中,缓冲器作为主时钟源到末级器件之间的桥梁,在很大程度上影响着时钟信号的质量以及各部分间的相位一致性,因此对缓冲器选取的要求就是需要考虑延时指标、带宽大小以及抗干扰能力,低延时缓冲器可减少时钟信号传输过程中的总延时偏差,有助于时钟树分配及时准确,而大带宽缓冲器可在多个模块并联时保证一定的压摆率,在一定程度上可以防止由

于负载改变导致的时钟噪声。对于不同类型级别的节点采用不同的类型缓冲器进行搭配,使布局合理并且节约能耗。同时,缓冲器放置要与时钟网络拓扑相结合,在仿真中定位最优位,缩小信号线长度差值以及加入去耦电容、隔离手段降低电磁噪声及串扰干扰对于时钟信号品质造成的影响。科学的缓冲器设置提高了整个系统的时钟分配能力而且给后段时钟同步技术提供了可靠保障。

(三) 时钟分配网络布局策略

高速数字电路中时钟布线网络的物理结构直接影响信号同步情况。布线方法主要有:缓冲节点的位置调整、主干线长度匹配和分支线均等化处理。主干线上要尽可能地缩短并且沿着最佳路径去链接主要部分来降低它的传输延迟;分岔线长应当在设计的时候就做到相等这样就可以使得最远端的部分同时到达了。对于大芯片或是多核心处理器可以采取分区法的方式将整个电路分成多个区块,在每个区块内构造一个局部的时钟树,然后用公共的时钟来进行统一控制。还要考虑到功耗的问题以及散热问题还有信号之间的相互影响,将易受影响的地方与其他有较强干扰作用的地方分开。利用计算机辅助设计(CAD)技术对电路以及版图仿真,能准确地估计出时钟延迟与负载的变化来调整布线,结合使用分布式的结构、改进的缓冲器、详细的布线方法等,从而建立出快速可靠而高效的时钟分布环,满足高速数字电路的需求。

二、时钟抖动分析与抑制技术

(一) 时钟抖动的来源与分类

在高频数位电路中,时钟抖动是指影响电路中时序稳定性以及信号传递准确性的主要因素,在数字电路系统中,时钟抖动是由设备自生噪声、供电电压不稳定、温度变化、EMI等等外界因素产生的,按抖动的时间特性可分为周期抖动与随机抖动两种类型,其中周期性抖动是由于电源纹波,频率耦合和时钟发生器非线性效应所导致的具有一定周期规律的抖动现象;而随机抖动主要是由热噪声、电子器件中的散粒噪声还有制造工艺上的缺陷等原因引起的,这类抖动是无规律地变化着的。时钟抖动会使时钟边沿发生变化进而使数据读取位置偏移产生误操作,极端情况下会造成时序混乱、电路功能失灵等问题。要使高速系统可靠的运转,则必须对抖动原因进行彻底的研究,用模型和仿真的方法得到各种抖动对总抖动的占比,作为选择、优化抖动控制技术的基础。

(二) 抖动测量与评估方法

正确测量时钟抖动是设计合理抑制对策的基础,在现代高速数字电路中,常用的方法有示波器采样、时间间隔分析法以及频域分析法等。示波器采样就是对时钟脉冲沿做非常精确的测量,可以明显地看到抖动大小及其分布情况,易于分辨出突变性的故障信号;时间间隔法就是对相邻两个时钟边沿的时间差进行测量,得到的是周期性和随机部分的抖动的平均值,可用于具体设计的时候参考使用;频域分析法运用了功率谱密度(PSD),把抖动分成了各个频率分量,从而找到其主要的频率分量和可能的干扰频率范围。测评标准一般是峰值峰值抖动、均方根抖动(RMS)、相位噪声等,从多个方面来测定抖动对整个系统的影

响程度,从而对后期消除抖动的的设计给出数据参考。利用仿真软件,在进行集成电路设计时预见可能存在的时钟布线网络中的抖动,为布线策略的选择、门电路的选择、PLL参数的选择提供依据,从而使整个系统保持良好的时序稳定性和较高的可靠性。

(三) 抖动抑制技术与优化策略

对于高速数字电路中存在的抖动现象,可以采用一些方法来改善时钟信号的质量。一是改进时钟树的设计,在分支平衡的基础上,合理地放置缓冲器以及使用低噪声源来减小由于传输不平衡所导致的沿边变化从而减少了信号失真;二是利用PLL和DLL对时钟信号进行锁定,并且通过锁相的方法可以使时钟信号获得稳定的相位关系并且频率也可以保持一致,对消除高频抖动以及周期性噪声有很大的帮助并且加强了系统对于外部干扰的抵抗能力。第三,供电优化和去耦方法也是重要方式,使用稳压电源、滤波器以及去耦电容都可以降低电压的波动给时钟带来的影响以维护好电源的供应稳定。同时针对对温度比较敏感的电路可以利用温度补偿电路或者动态电压调节方式使温度的变化对时钟抖动影响降到最好,增加系统的灵活性。

三、相位锁定环在时间同步中的优化应用

(一) 相位锁定环基本原理与在高速系统中的作用

相位锁定环(Phase-Locked Loop, PLL)是一个关键性的时钟同步器件,在不断检测并调整参考时钟和反馈时钟相位差的同时,改变控制电路发出信号使得输出时钟能够及时跟随参考信号变化而发生变化,当应用于高频率数字设备时不仅可以实现频率的翻倍或者降倍,而且可以极大地减少由于分布式的时钟网络、线路的不同以及外界电磁波的影响导致的抖动问题,保证整个系统的时序稳定可靠。而在处理器越来越高频度的使用及多核心处理器的普及之下,对于频率的要求也更加苛刻,即使是微小的相位偏差都会导致数据读取失误、信号失真或产生错误的运算结果等现象的发生。在工程实践中,PLL可以为各部分提供一个可靠又统一的时间参考源来保证高频工作的高速逻辑和片内总线的工作频率一致。此外它还对于外部设备接口、存储器系统和高速的I/O接口等都很重要,可以进行各个组成部分间的时间对齐,使各部分之间的相位偏差最小化,进而增加通信的稳定性与系统的吞吐量。对于高性能计算机和大规模集成电路的设计来说,精心的设计并放置PLL装置是达到高精度的时间同步,改善信号质量,减少故障的关键,在很大程度上决定了系统的性能表现。

(二) PLL 参数优化策略

PLL性能很大程度取决于环路带宽,环路滤波器的设计以及压控振荡器(VCO)、相位比较器等多种因素有关。对于高性能数字电路来说,在设计时首先要合理的选取环路带宽:过大的环路带宽会导致高频噪声被放大并传送到输出端造成较大的抖动;而过小的环路带宽则会延长锁定时间,整个系统反应很慢无法满足对快速变化的时钟的需求。所以在设计过程中必须要取舍锁定时间和抖动之间的关系,既要能够迅速锁定又要保持较低的噪声水平。环路滤波器的设计也是十分重要的,需要针对不同的VCO

频率特性和负载情况进行仔细调整，在最大程度上来减小高频噪声的影响，使环路保持良好稳定状态。而选择什么样的相位比较器也会影响到锁定精度，使用高精度的电荷泵相位比较器能大大减少量化误差，提高输出信号的相位准确度，在复杂的多模块系统中也可以通过多级的 PLL 组成方式，主 PLL 产生整个系统的基础时钟，各个局部 PLL 给各子系统提供时钟调整，达到模块化精准的同步的目的，这样分层设计使得系统可以更好的面对局部负载的变化带来的影响，同时也能有效的减小了功耗的峰值，提高了系统的整体的时钟管理效率。

（三）PLL 在动态环境下的适应性应用

高速数字电路在工作状态下容易受到温度、电源电压及工艺等因素的影响，环境的变化都会导致 PLL 输出的时钟相位发生变化，进而造成整个系统的时序偏差。为了使得 PLL 能够更好的适用于不断变化的环境之中，必须采用自适应技术和动态补偿措施，来维持电路之间的同步性要求，温度补偿模块能够在电路发热以及外界条件改变的情况下自动对 VCO 进行频率校正，克服由晶振温度升高或者周围环境造成的相位变化问题，而电压监控控制则是基于对供电情况的检测调节环路增益或调控电流大小，在电源有较大起伏的时候仍然可以保证锁相的效果。对于多核或者 SoC 结构，可以利用数字锁相环（Digital PLL，DPLL）结合数字控制回路来达到快速调整并精确补偿的目的，在一定程度上提高系统的鲁棒性，另外更有效的解决办法是把动态补偿和时钟树布线优化、缓冲单元结构改进以及抖动减少技术结合起来，在整个系统范围内的统一的同步优化中，采用对温度、电压和工艺的变化做出瞬时反馈控制的办法使得 PLL 可以在不同的工作环境下提供稳定而准确的时钟信号输出，从而保证高速度的数位电路即使在苛刻的工作环境中也能进行可靠的取样以及计算。结合采用上述种种动态自适应技术手段，在提高系统的时间抖动容限的同时为多个芯片共同计算、快速的数据交换和复杂的片内结构提供了一个可靠地时钟供给源，大大强化了高速数字设备应用于工程中所具备的可靠性和环境适应性。

四、系统级时序协调与温度电压适应性研究

（一）系统级时序协调方法

高速数字电路中存在多个模块、多条总线以及多路接口使得

其时序匹配是保障数据正确传送的关键所在。而系统级时序匹配的目的就是要使各个子单元之间的控制信号按时到达，防止出现由于信号传输路径不同而导致的数据捕获失误情况的发生。一般的做法就是采用全局与时钟分布相结合的方式，在分布式的时钟网络上传送共同的时钟脉冲之后再加上片内局部缓存及锁相环加以调整来达到整个系统的同步的效果；而对于多总线结构的系统则可以通过分时复用或者添加同步指示来进行处理，从而保证其总线访问次序和数据刷新同步。时序协调设计还必须考虑到信号路径最大的延时（Critical Path）和小的延时之差，进行合理的逻辑布放及信号拉力等的设计使时钟沿边沿与数据信号准确对接，进而提升整个系统的可靠性和稳定性能。

（二）温度电压变化对时序的影响

温度、电压的变化是造成高速数字系统时序漂移的主要外界原因，高温会造成半导体器件导通载流子速率的降低进而增大门延时及传输延时、而低电压会使驱动的能力减弱使得信号传递速率下降产生时间不稳定的问题，而在高频高核数处理器以及大型 SOC 电路中由于存在大量的延时单元，所以其漂移也会叠加起来使关键路径延时超过预设余量导致数据采样失真与计算结果偏差等严重后果的发生，在设计系统时候需要对温度、电压变化建模并模拟出各种工作条件下的时序误差以找出可能发生违规时序的地方和环节作为后期补偿方案和容错设计方案的基础。

（三）温度电压适应性设计与补偿技术

为了克服温度、电压的变化给系统时序带来的影响，可以采取动态补偿的方法来进行即时修正，在这方面有两项措施一是利用动态时钟来对整个或部分时钟速率做出小范围上的变化，用以校正路径延迟的变化，二是使用程序设定延时电路来对重要的路径上的信号进行延时调整从而保证采样时刻的一致性。另外可以加上温度检测与电压检测装置并与控制电路相联来构成反馈回路，使得系统能够在工作中不断调节以适应当前情况。基于分布式的时钟树设计、缓冲调整与 PLL 精密锁定的方法可以在不同的温度、电源等环境下得到较高的精度的系统时序，保证高速数字电路工作的稳定可靠，也为复杂的逻辑计算以及高频的数据交换提供了可靠的时间依据。

参考文献

- [1] 潘水根. 高速数字信号触发与同步技术研究 [D]. 电子科技大学, 2024.DOI: 10.27005/d.cnki.gdzku.2024.005471.
- [2] 黄涛. 基于高速光电模数转换的数字信号抖动测量技术研究 [D]. 电子科技大学, 2023.DOI: 10.27005/d.cnki.gdzku.2023.000242.
- [3] 林培泓. 高速直接数字合成技术的空间环境稳光应用 [D]. 中国科学技术大学, 2024.DOI: 10.27517/d.cnki.gzkju.2024.001732.
- [4] 曹波. 高精度数字底图应用于广东高速公路的设计及应用 [J]. 交通科技与管理, 2024, 5 (20): 29-32.
- [5] 朱凌云、曹亚亮、廖金波等. 数字孪生技术的应用研究 [J]. 运输管理世界, 2024 年, (28 期): 62-64.